

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-045860

(43)Date of publication of application : 26.02.1988

(51)Int.Cl.

H01L 29/78

H01L 29/78

(21)Application number : 61-190803

(71)Applicant : NEC CORP

(22)Date of filing : 13.08.1986

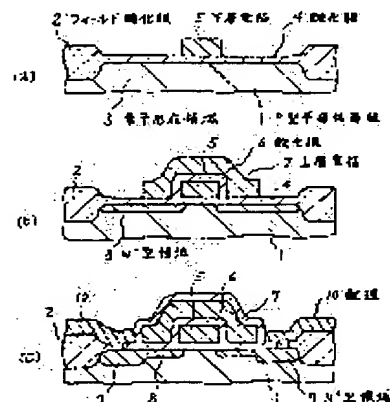
(72)Inventor : MINOWA MASAYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To manufacture a high-withstand voltage transistor which shows no flucturation in its characteristics by a method wherein inverse conductivity type impurity layers and high-concentration inverse conductivity type impurity layers are each formed in the surface of a substrate using a lower electrode and an upper electrode, each consisting of a poly Si layer, as masks.

CONSTITUTION: A field oxide film 2, by which an element forming region 3 is isolated, is formed on a p-type semiconductor substrate 1 and thereafter an oxide film 4 is formed on this region 3. Then, a first poly Si layer is formed on the whole surface and a lower electrode 5 is formed by patterning. Then, after n- regions 8 are formed in the above region 3 using the lower electrode 5 as a mask, an oxide film 6 is formed on the electrode 5. Then, an upper electrode 7 consisting of a second poly Si layer is formed. Then, an N-type impurity is implanted using the upper electrode 7 as a mask and n+ regions 9 for constituting a source and a drain are formed in the element forming region 3. Subsequently, after an oxide film is formed on the surface of the upper electrode 7, a wiring 10 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-45860

⑤ Int.Cl.⁴

H 01 L 29/78

識別記号

3 0 1
3 7 1

庁内整理番号

Z-8422-5F
7514-5F

⑬ 公開 昭和63年(1988)2月26日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭61-190803

⑯ 出 願 昭61(1986)8月13日

⑰ 発 明 者 箕 輪 政 幸 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

半導体装置の製造方法

特 許 請 求 の 範 囲

一導電型半導体基板上に素子形成領域を分離するフィールド酸化膜を形成する工程と、前記素子形成領域上に酸化膜を介して第1の多結晶シリコン層からなる下層電極を形成する工程と、前記下層電極をマスクとして逆導電型不純物をイオン注入し前記素子形成領域に低濃度の逆導電型不純物領域を形成する工程と、前記下層電極表面に酸化膜を形成したのち全面に第2の多結晶シリコン層を形成し、パターニングして前記下層電極及び前記低濃度の逆導電型領域の一部とを覆う上層電極を形成する工程と、前記上層電極をマスクとして逆導電型不純物をイオン注入し前記素子形成領域に高濃度の逆導電型不純物領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特に不揮発性メモリに用いられる高耐圧トランジスタを有する半導体装置の製造方法に関する。

(従来の技術)

従来、この種の高耐圧トランジスタを有する半導体装置は第3図～第6図に示すように構成されていた。

すなわち、第3図に示すように、酸化膜4を介してP型半導体基板1上に形成された多結晶シリコンからなるゲート電極5Aをマスクとし、エネルギーの異なるイオン注入法により不純物をイオン注入し、半導体基板表面にN⁻型領域8とN⁺型領域9とを形成する二重拡散ドレイン構造のものや、第4図及び第5図に示すように、ゲート電極5Aをマスクとしてイオン注入しN⁻型領域8を形成したのち、ソース・ドレイン形成用のマスク、例えば酸化膜4A又はアルミニウム膜12を

マスクとしてイオン注入し N^+ 型領域9を形成するLDD (lightly doped drain)構造のもの、更に第6図に示したように配線用のコンタクト孔を利用して N^+ 型領域9を形成するコンタクト方式と呼ばれる構造のものが知られていた。

〔発明が解決しようとする問題点〕

上述した従来の構造を有する半導体装置においては次のような問題点がある。

まず、第3図と第4図に示した構造では、横方向における N^- 型領域の距離が広く取れないため特に、不揮発性メモリ用の高耐圧トランジスタとしての耐圧がないという欠点がある。

また、第5図に示した例では、ソース・ドレイン用不純物のイオン注入時にホトレジストをマスクに用いると、ホトレジストが固まり、剥離性が悪くなる為通常アルミニウム等をマスクに用いるが、拡散層へのダメージ防止の為エッチングはウエットで行なう必要がある。この時、マスクとして用いられる金属膜のオーバエッチのされ方により、 N^- 型領域の横方向の距離が異なる為、ロッ

トにより特性が変動するという欠点がある。

更に、第6図に示した方法では、高耐圧トランジスタとそれ以外のトランジスタのソース・ドレインの形成工程が異なる為、工程が複雑になるという欠点がある。

本発明の目的は、特性の変動が少なく、製造工程が簡単な高耐圧トランジスタを有する半導体装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体装置の製造方法は、一導電型半導体基板上に素子形成領域を分離するフィールド酸化膜を形成する工程と、前記素子形成領域上に酸化膜を介して第1の多結晶シリコン層からなる下層電極を形成する工程と、前記下層電極をマスクとして逆導電型不純物をイオン注入し前記素子形成領域に低濃度の逆導電型不純物領域を形成する工程と、前記下層電極表面に酸化膜を形成したのち全面に第2の多結晶シリコン層を形成し、パターニングして前記下層電極及び前記低濃度の逆導電型領域の一部とを覆う上層電極を形成する工

程と、前記上層電極をマスクとして逆導電型不純物をイオン注入し前記素子形成領域に高濃度の逆導電型不純物領域を形成する工程とを含んで構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図(a)～(c)は本発明の一実施例を説明するための工程順に示した半導体チップの断面図である。

まず、第1図(a)に示すようにP型半導体基板1上に選択酸化法により、素子形成領域3を分離するフィールド酸化膜2を形成する。次に、この素子形成領域3上に酸化膜4を形成したのち全面に第1の多結晶シリコン層を形成したのちパターニングし、第1の多結晶シリコンからなる下層電極5を形成する。

次に、第1図(b)に示すように、下層電極5をマスクとしてN型不純物をイオン注入し、素子形成領域3に N^- 型領域8を形成する。続いて、

熱酸化法により、下層電極5表面に酸化膜6を形成したのち全面に第2の多結晶シリコン層を形成し、ドライエッチング法によりパターニングして下層電極5及び N^- 型領域8の一部を覆う上層電極7を形成する。

次に、第1図(c)に示すように、上層電極7をマスクとしてN型不純物をイオン注入し、素子形成領域3にソース・ドレインを構成する N^+ 型領域9を形成する。続いて上層電極7表面に酸化膜を形成したのち N^+ 型領域9上の酸化膜4にコンタクト孔を形成する。以下、全面にアルミニウム膜を形成したのちパターニングし配線10を形成することによりトランジスタが完成する。

尚、ゲート配線11は、第2図の平面図に示すように、下層電極5に接続し、上層電極7は浮遊状態にしておく。

このように本実施例によれば、第1図(b)に示したように、 N^+ 型領域9を形成するためのマスクとしての上層電極7は、多結晶シリコン層から形成されるため、ドライエッチング法により精

度良くバターンニングすることができる。従って、従来のアルミニウムを用いた場合のように、オーバーエッチングがないため、特性の変動がなく、更に、 N^+ 型領域の幅の狭いトランジスタを形成できる。

尚、上記実施例においては N チャネルトランジスタの場合について説明したが、 P チャネルトランジスタの場合であっても同様である。

〔発明の効果〕

以上説明したように本発明は、多結晶シリコンからなる下層電極をマスクとして一導電型半導体基板表面に低濃度の逆導電型不純物領域を形成し、次で酸化膜を介して下層電極と低濃度の逆導電型不純物領域の一部とを覆って形成された多結晶シリコンからなる上層電極をマスクとして、高濃度の逆導電型不純物領域を形成することにより、特性の変動が少く製造工程が簡単な高耐圧トランジスタを有する半導体装置が得られるという効果がある。

図面の簡単な説明

第1図(a)～(c)は本発明の一実施例を説明するための工程順に示した半導体チップの断面図、第2図は第1図(c)の平面図、第3図～第6図は従来の半導体装置を説明するための断面図である。

1… P 型半導体基板、2…フィールド酸化膜、3…素子形成領域、4…酸化膜、5…下層電極、5A…ゲート電極、6…酸化膜、7…上層電極、8… N^- 型領域、9… N^+ 型領域、10…配線、11…ゲート配線、12…アルミニウム膜。

代理人 井理士 内 原

